

FLASH MEMORY SYSTEM

Publication number: JP7028690

Publication date: 1995-01-31

Inventor: KATAYAMA KUNIHIRO; TAKATANI YOSHIO; SAITO MANABU; KAKI KENICHI; TOTSUKA TAKASHI

Applicant: HITACHI LTD; HITACHI KEIYO ENG

Classification:

- International: G06F12/00; G06F12/00; (IPC1-7): G06F12/00

- european:

Application number: JP19930174372 19930714

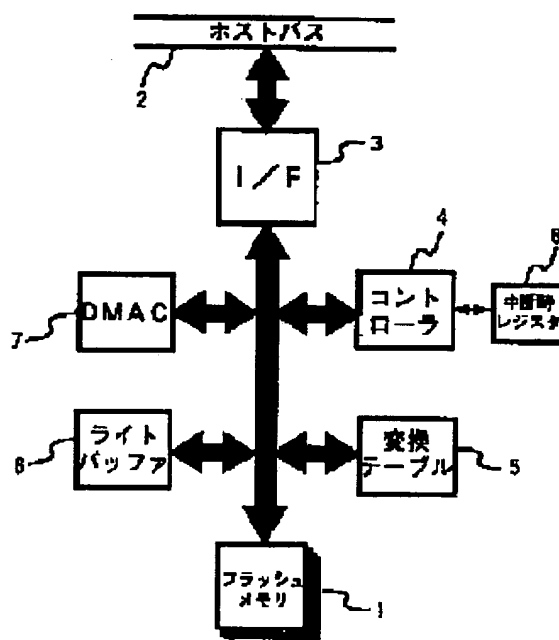
Priority number(s): JP19930174372 19930714

Report a data error here

Abstract of JP7028690

PURPOSE: To provide the flash memory system which speeds up the writing of data to a flash memory.

CONSTITUTION: At an access request from a host bus 2, a controller 4 stores data in a write buffer 6 by write access, and reads data, which are stored in the flash memory 1, out of the flash memory 1 or data, which are not stored in the flash memory 1, out of the write buffer 6 by read access. Consequently, the write buffer 6 is provided to apparently speed up the operation; when an access request to read the same data is made right after the write access, a read from the data in the write buffer 6 is enabled.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 7-28690

(43)公開日 平成7年(1995)1月31日

(51)Int. Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

G 0 6 F 12/00

5 6 0 B 9366-5 B

審査請求 未請求 請求項の数 11 O L

(全 11 頁)

(21)出願番号 特願平5-174372

(22)出願日 平成5年(1993)7月14日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233217

日立京葉エンジニアリング株式会社
千葉県習志野市東習志野7丁目1番1号

(72)発明者 片山 国弘

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

(54)【発明の名称】フラッシュメモリスistem

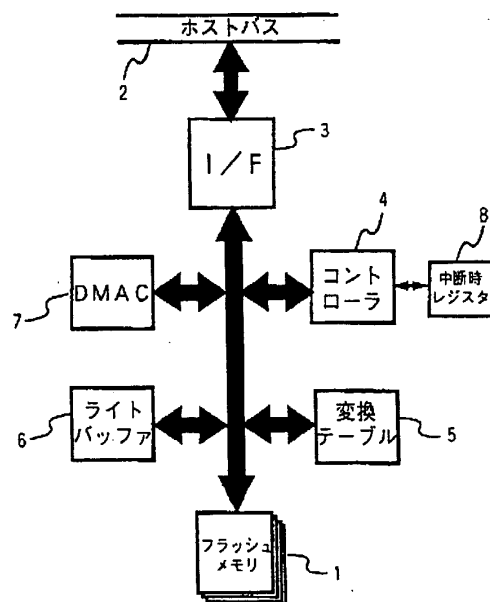
(57)【要約】

【目的】 フラッシュメモリのデータの書き込みを高速化したフラッシュメモリスistemを提供する。

【構成】 ホストバス2からのアクセス要求に対し、コントローラ4はライトアクセスに対してはライトバッファ6にデータを格納し、リードアクセスに対してはフラッシュメモリ1に格納されているデータであればフラッシュメモリ1から、まだフラッシュメモリ1に格納されていないデータであればライトバッファ6から読み出す。

【効果】 ライトバッファを設けて見かけ上の高速化を図り、その際にライトアクセスの直後に同一データのリードアクセス要求があると、ライトバッファのデータから読み出しを可能とした。

図 1



【特許請求の範囲】

【請求項 1】外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、前記データの前記フラッシュメモリへの書き込み要求時に、外部からの前記データを一時的に記憶するためのデータ記憶手段と、

前記データの書き込み要求時に、前記データを前記データ記憶手段に格納後、前記フラッシュメモリに転送する制御部とを有し、

前記制御部は、前記データの前記フラッシュメモリへの転送が終了する前に、外部からデータの読み出し要求または書き込み要求を受けた場合、前記フラッシュメモリへの転送を中断し、外部からのデータの読み出し要求または書き込み要求を優先して処理することを特徴とするフラッシュメモリシステム。

【請求項 2】請求項 1 記載のフラッシュメモリシステムにおいて、

前記データが前記データ記憶手段に格納されているかどうかを示す情報を記憶する情報記憶手段を有し、

前記制御部は、前記情報により、外部から読みだしが要求された前記データが、前記データ記憶手段に格納されているか否かの判断を行い、前記データ記憶手段に格納されていることが判明した場合には前記データ記憶手段から読み出しを行うことを特徴とするフラッシュメモリシステム。

【請求項 3】請求項 1 記載のフラッシュメモリシステムにおいて、

外部から前記データへのアクセス時に外部から指定される論理アドレスと、これに対応する前記データ記憶手段の物理アドレスとの対応情報を記憶する情報記憶手段を有し、

前記制御部は、前記情報により、外部から読みだしが要求された前記データが、前記データ記憶手段に格納されていることが判明した場合には、前記データ記憶手段から読み出しを行うことを特徴とするフラッシュメモリシステム。

【請求項 4】請求項 1、2 または 3 記載のフラッシュメモリシステムにおいて、

前記制御部は、前記データ記憶手段から前記フラッシュメモリへデータを転送中に、外部からのデータの読み出し要求または書き込み要求があった場合、前記データの転送を中断し、

中断が終了後に転送を再開するために必要な情報を記憶する中断情報記憶手段を有し、

前記制御部は、前記中断情報記憶手段に前記情報を格納後、前記読み出し要求または書き込み要求を処理し、処理が終了後、中断したデータの転送を前記中断情報記憶手段の記憶内容により、再開することを特徴とするフラッシュメモリシステム。

【請求項 5】請求項 1、2、3 または 4 記載のフラッシュ

メモリシステムにおいて、

前記制御部は、外部から、前記フラッシュメモリの特定領域へのデータの書き込み要求があった場合、前記データ記憶手段への書き込みデータを格納する処理と、前記フラッシュメモリ上にある、前記特定の領域に過去に格納され不要となったデータを消去する処理とを並行して行うことを特徴とするフラッシュメモリシステム。

【請求項 6】請求項 2 または 3 記載のフラッシュメモリシステムにおいて、

前記制御部は、前記データ記憶手段から前記フラッシュメモリへの転送が完了後、前記情報記憶手段に格納されている情報を前記フラッシュメモリに転送することを特徴とするフラッシュメモリシステム。

【請求項 7】請求項 2 または 3 記載のフラッシュメモリシステムにおいて、

前記制御部は、前記情報記憶手段の内容を電源遮断直前に前記フラッシュメモリに転送することを特徴とするフラッシュメモリシステム。

【請求項 8】請求項 6 または 7 記載のフラッシュメモリシステムにおいて、

前記情報記憶手段の内容を前記フラッシュメモリに転送する際に、前記フラッシュメモリへの転送場所を可変とし、転送場所を示す情報を前記フラッシュメモリ上のあらかじめ定められた場所へ転送することを特徴とするフラッシュメモリシステム。

【請求項 9】外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、

前記データの前記フラッシュメモリへの書き込み要求時に、外部からの前記データを一時的に記憶するためのデータ記憶手段と、

前記データの書き込み要求時に、前記データを前記データ記憶手段に格納後、前記フラッシュメモリに転送する制御部とを有し、

前記制御部は、前記データの前記フラッシュメモリへの転送が終了する前に、外部から同一アドレスへのデータの新たな書き込み要求を受けた場合、前記フラッシュメモリへの転送を中断し、外部からの新たなデータを前記データ記憶手段に格納し、前のデータは無効とすることを特徴とするフラッシュメモリシステム。

【請求項 10】外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、

前記フラッシュメモリへ前記データを書き込むのに要した時間を測定する書き込み時間測定手段と、

前記書き込み時間測定手段の測定結果により、フラッシュメモリの劣化度を診断する劣化度診断手段と、

前記劣化度診断手段による診断結果を記憶する劣化度記憶手段と、

前記診断結果により、前記データのフラッシュメモリ上の格納場所を決定して、格納する制御手段とを有することを特徴とするフラッシュメモリシステム。

【請求項11】請求項10記載のフラッシュメモリシステムにおいて、

前記制御手段は、前記フラッシュメモリへの格納場所の決定に際して、診断結果を参照して劣化度が最大でない場所を選択することを特徴とするフラッシュメモリシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフラッシュメモリシステムに係り、特にフラッシュメモリを処理プログラムやデータの記憶媒体とした際の高速化に関する。

【0002】

【従来の技術】フラッシュメモリは電氣的に書き替え可能なROMであり、不揮発性メモリでありながらファイル記憶装置の記憶媒体として期待されるメモリ素子である。一種のEEPROMと捉えることもできるが、一般的なEEPROMとの決定的な違いはデータの消去単位が大きいことにより集積度を高くできることである。従って大容量のファイル記憶装置を比較的安価に構築できる。このフラッシュメモリを使用したファイル記憶装置の従来技術としては特開平2-292798号公報に記載のフラッシュEEPROMシステムが挙げられる。これはフラッシュメモリの素子的な欠点である書き換え回数に制限があるということに対して、フラッシュメモリへの実際の書き込み回数を減らす方式についての発明であり、そのためにキャッシュメモリを用いてファイル書き換えの時間監視制御を行うことを提案した発明である。この方式を採用することによりフラッシュメモリを使用した記憶装置として実用的な寿命を確保することを目的としている。それと同時にフラッシュメモリのもう一つの欠点である書き換えの遅さをカバーすることも目的としている記述もある。フラッシュメモリはDRAMやSRAMなどの揮発性メモリと比較して書き換え速度が数値にして1桁以上遅く、処理データ格納媒体として性能ネックとなってしまうが、先述のキャッシュメモリとしてフラッシュメモリよりも高速なアクセスが可能な記憶素子を用いることを提案している。これによりキャッシュメモリにデータを書き込むのであればシステム全体としてのフラッシュメモリによる性能ネックは回避できる。

【0003】

【発明が解決しようとする課題】上記従来技術はフラッシュメモリの書き換え回数の制限による寿命を延長することを重視しておりフラッシュメモリの書き換え速度の遅さを補うことを重視していない。というのはまずキャッシュメモリからフラッシュメモリへのデータの転送の条件としてキャッシュメモリに余分な空間を必要としたときとあるが、余分な空間を必要とするときはすなわちシステムとしてデータの格納要求があるときであると考えられるため、このときに書き換えの遅いフラッシュメモリへ

の書き込みを行っていたのではシステムのパフォーマンスを落すことになり得る。

【0004】またキャッシュメモリへの書き込みを行うときの条件としても書き込みが頻繁に起こるデータにおいてのみキャッシュメモリへの書き込みを行うような制御を目指しているため、書き込みの高速化を全ての書き込みデータに対して図ることができない。以上のように上記従来例は、書き換え回数の低減に対する配慮はされているが、書き換え時間の高速化に対する考慮がなされていないといえる。

【0005】本発明の目的は、書き換え時間の高速化を図ったフラッシュメモリシステムを提供することである。

【0006】

【課題を解決するための手段】上記の問題点を解決するために、外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、前記データの前記フラッシュメモリへの書き込み要求時に、外部からの前記データを一時的に記憶するためのデータ記憶手段と、前記データの書き込み要求時に、前記データを前記データ記憶手段に格納後、前記フラッシュメモリに転送する制御部とを有し、前記制御部は、前記データの前記フラッシュメモリへの転送が終了する前に、外部からデータの読み出し要求または書き込み要求を受けた場合、前記フラッシュメモリへの転送を中断し、外部からのデータの読み出し要求または書き込み要求を優先して処理することとしたものである。

【0007】また、外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、前記データの前記フラッシュメモリへの書き込み要求時に、外部からの前記データを一時的に記憶するためのデータ記憶手段と、前記データの書き込み要求時に、前記データを前記データ記憶手段に格納後、前記フラッシュメモリに転送する制御部とを有し、前記制御部は、前記データの前記フラッシュメモリへの転送が終了する前に、外部から同一アドレスへのデータの新たな書き込み要求を受けた場合、前記フラッシュメモリへの転送を中断し、外部からの新たなデータを前記データ記憶手段に格納し、前のデータは無効とすることとしたものである。

【0008】また、外部からのデータを記憶するフラッシュメモリを有するフラッシュメモリシステムにおいて、前記フラッシュメモリへ前記データを書き込むのに要した時間を測定する書き込み時間測定手段と、前記書き込み時間測定手段の測定結果により、フラッシュメモリの劣化度を診断する劣化度診断手段と、前記劣化度診断手段による診断結果を記憶する劣化度記憶手段と、前記診断結果により、前記データのフラッシュメモリ上の格納場所を決定して、格納する制御手段とを有することとしたものである。

【0009】

【作用】上記のように、書き込み回数を少なくして読み出しを頻繁に行うことを目的としたキャッシュメモリではなく、書き込みの高速化のために一時的にデータを格納するライトバッファメモリ（データ記憶手段）を設け、このバッファメモリに格納されたデータのフラッシュメモリへの転送を外部（例えば、ホストシステム）からのアクセス要求がないときすなわちアクセス要求待ちの時に、システム全体としては実質上転送時間が隠されるよう工夫する。またホストシステムからの書き込み要求データは全て必ずバッファメモリに取り込むこととし、書き込み速度が遅いフラッシュメモリはホストシステムから直接書き込まれることがないようにする。そしてバッファメモリからフラッシュメモリへのデータ転送はホストシステムからのデータ書き込みが終了しだい開始され、ホストシステムから当該データあるいは別のデータをアクセスする要求があるまでの期間つまりアクセス要求待機期間に行われ、ホストシステムからのアクセス要求が起きたらただちにバッファメモリからフラッシュメモリへのデータ転送を中断し、ホストシステムの要求に対応する。そして再びアクセス要求待機状態になったらキャッシュメモリからフラッシュメモリへのデータ転送を先の中断時点から再開する。この結果、バッファメモリはホストシステムからの格納データの書き込みを素速く終了し、その結果ホストシステムは格納データの転送を終わらせて次の処理を行うことができシステム全体のパフォーマンスが向上する。つまりホストシステムからはフラッシュメモリの書き込み速度が見えず、フラッシュメモリの書き込み速度の遅さを隠すことができる。そしてバッファメモリ上のデータはホストシステムからのアクセス要求が終了し次第フラッシュメモリに転送され、ホストシステムからの次のアクセス要求があるまで続けられる。従ってホストシステムはバッファメモリからフラッシュメモリへの転送途中でも転送要求を割り込ませることができ、ホストシステムの待機時間はないこととなる。

【0010】またバッファメモリの容量はホストシステムからのデータが通常の使用状態においてバッファメモリに格納しきれる程度以上の十分な容量を確保する。バッファメモリを十分な容量確保することにより、ホストシステムからのデータ格納ができなくなってホストシステムに待機時間を持たせることがないようにする。

【0011】またバッファメモリからフラッシュメモリへのデータ転送時間をできるかぎり減ずるために、まだフラッシュメモリへの転送が行われておらず、バッファメモリに残されているデータと同一データ（例えば、同一ファイル）のホストからの再転送においては、先に格納されているデータを無効化してつねに最新のものをフラッシュメモリに転送することとする。同一ファイルの再転送において、古いデータは不要であるため無効化し

て構わず、余分なデータ転送を行う必要がなくなり、またフラッシュメモリの書換え回数を減らすことにもなる。

【0012】またホストからの連続的な大容量の書き込みに対応するためにフラッシュメモリに対する書き込みをできるだけ速くする必要もある。しかしフラッシュメモリは劣化すると書き込みや消去に要する時間が長くなり、書換えが遅くなってしまうためこれを回避すべきである。そのため書き込みや消去に要する時間を計測してフラッシュメモリの劣化度を常に把握して劣化度の低いところを選んで書き込むよう制御する。書換え時間を短縮すればホストからの連続的な大容量の書換えにおけるバッファメモリ不足を防ぐことができる。

【0013】

【実施例】次に本発明の実施例を説明する。図1は本発明の構成図を示す図である。本発明に係るフラッシュメモリシステムは、記憶媒体であるフラッシュメモリ1と、記憶装置（フラッシュメモリシステム）のホストとなる情報機器のバス2と、ホストバス2をインタフェースするレジスタやバス類からなるインタフェース回路3と、記憶装置全体を統括制御するコントローラ（制御部）4と、ホストがファイルデータを管理するための論理アドレスと物理的な記憶位置を示す物理アドレスの変換を行うためのアドレス変換テーブル（情報記憶手段）5と、ホストから送られるファイルデータを高速に格納して見かけ上の処理速度を上げるためのライトバッファ6（従って高速な書き込みが要求されるためSRAMやDRAMなどの揮発性メモリである必要がある）と、コントローラ4の動作速度がホストバス2の動作速度より劣るのをカバーし高速にデータを転送するためのDMAコントローラ7と、ライトバッファ6内のデータをフラッシュメモリ1に転送している最中にホストからアクセス要求があったときに処理を中断し、後で再開するために中断したときの動作状態を記憶するための中断時レジスタ（中断情報記憶手段）8とを有する。

【0014】図11に変換テーブル5の一例を示す。図11では、ホストバス1から転送されてくる3セクタ分のデータをライトバッファ6のブロック1からブロック3に保持し、それぞれのブロックの1セクタのデータをそれぞれフラッシュメモリ1のチップ0のセクタ3、チップ1のセクタ2、チップ2のセクタ7へ書き込むことを示している。フラグは、ホストからのデータがフラッシュメモリに転送されておらず、まだフラッシュメモリにあることを示す。

【0015】なお、変換テーブルは図11の例に限らず、フラグを有さないこととしてもよい。その時はフラッシュメモリに転送されたものはフラッシュメモリの物理アドレスの欄のみに数字を書くこととしても良い。その時にライトバッファとフラッシュメモリの物理アドレスは連続させることとすると変換テーブルをそれぞれの

メモリに対応させる必要がなくなり、テーブル容量を縮小できる。

【0016】次に動作を説明する。ホストの情報機器はファイルデータの格納や読み出しが必要になるとホストバス2を通してアクセス要求をするとともに、ファイルデータ格納時は格納するための論理アドレスを指定してデータを転送し、ファイルデータの読み出し時は管理上の論理アドレスを指定してそこに格納してあるファイルデータの転送を要求する。これらの要求はインタフェース回路3に備えられるレジスタに設定することにより行われる。コントローラ4はインタフェース回路に設定された処理要求の内容を理解すると変換テーブル5を参照し、あるいは変換テーブル5の内容を書換えてホストが指定する論理アドレスと実際のデータの格納位置を示す物理アドレスが誤りなく対応するように処理する。もしファイルデータの格納の要求であった場合には、コントローラ4はホストが指定する論理アドレスと格納するライトバッファ6の物理アドレスを変換テーブル5に書き込む。既に過去に格納してあったファイルデータの更新であった場合には過去のデータは不必要となるため、過去のデータが格納されている物理アドレスが有効であるかどうかを示す情報（同一の論理アドレスのデータがフラッシュメモリ上で別の物理アドレスに格納されるために本情報が必要になる）を変換テーブル4内に記録する処理も加えられる。

【0017】そしてホストバスから転送されて来るライトデータを受け入れるためにDMAC7を起動し、ライトバッファ6に格納する。この時同時にフラッシュメモリ1に格納されている不要データの消去を行うと処理時間を有効活用できることになる。一方もしファイルデータの読み出し要求であった場合には、コントローラ4はホストが指定する論理アドレスから変換テーブル5を参照してホストが要求するファイルデータが物理的にどこに格納されているかを割り出し、これをDMAC7に設定して起動し、ホストバス2に高速にデータを転送してホストの要求に応じる。

【0018】ファイルデータの格納場所としてはフラッシュメモリ1かあるいはライトバッファ6に格納されていることが考えられる。これは変換テーブル5の参照により明らかになるはずである。従ってコントローラ4は参照した変換テーブル5の内容によってDMACにアクセスさせるメモリを選択して設定する必要がある。

【0019】以上がホストからのアクセス要求に対応した記憶装置の動作概要であるが、ホストからのアクセス要求に対する処理が終了し、次にホストからアクセスが要求されるまでの間はコントローラは内部で別の処理を行う。それはライトバッファに格納されているデータをフラッシュメモリ1に転送する処理である。ただしライトバッファ内のデータが全てフラッシュメモリに転送されてしまえば記憶装置は完全にホストからの待機状態と

なる。このライトバッファからフラッシュメモリへのデータ転送を行わないと電源が遮断された場合に揮発性メモリであるライトバッファ内のデータが揮発して最新の格納ファイルデータが失われてしまうからである。またライトバッファに格納することができるデータ量には限りがあるため、できるだけフラッシュメモリへの未格納データが残存するかぎりは常にフラッシュメモリへの転送を行うべきである。

【0020】ここでホストからのアクセス要求がなくライトバッファからフラッシュメモリへのデータ転送を行っている最中に、ホストからアクセス要求があった場合には、動作中の転送処理を一時中断し、ホストからの要求に応じる。なお中断した処理はホストからのアクセス要求に対応する処理が終了した時点で再開できるように必要なステータスデータを中断時レジスタ8に記録する。この中断時レジスタ8はコントローラ4内部のレジスタやメモリを用いても良い。

【0021】以上のようなコントローラ4が行う動作を図2以降のフローチャートに記述した。図2はコントローラ4のメインルーチンのフローチャートであり、基本的な動作の流れは、まずホストからアクセス要求があるかを確認し、あればアクセスルーチンにジャンプし、なければ次に進む(2a)。ライトバッファ内にフラッシュメモリに未格納のデータが存在するかを確認し(2b)、存在すればこれをフラッシュメモリに転送格納する(2c)。全て格納済みであればホストからのアクセス待ちとなる。なお2aでアクセスルーチンにジャンプし、アクセスが終了して復帰したときには記録した状態に戻して(2d)再開する。メインルーチンではこの流れを繰り返す。

【0022】図3および図4はアクセスルーチンのフローチャートであり、図3より説明すると、まずアクセスルーチンにジャンプしたときのメインルーチンにおける状態を図1の中断時レジスタ8に記憶し(3a)、復帰したときに動作が再開できるようにする。記憶内容としては書き込みセクタの論理アドレスと物理アドレスなどが挙げられる。次にホストからのアクセスを区別し各々の処理に分岐する(3b)。図3は引き続きリードアクセス処理を示している。リードアクセスではまずアドレス変換を行う。これはホストからは論理アドレスにより所望のファイルを指定してくるが、論理アドレスでは実際のメモリ上の格納位置を示していないため、アドレス変換テーブルにより論理アドレスから物理アドレスに変換して実際のメモリ上の格納位置を把握して読み出しを行うことになる(3c)。このアドレス変換を行った後、次にDMACにアクセスするアドレスを設定し、起動する(3d)。そしてリードデータをホストバスに流してアクセスを完了し(3e)、メインルーチンに復帰する。

【0023】一方ライトアクセスは図4に示す。まず過

去に格納されたことのあるファイルかをチェックする(4a)。格納されたことがあるかどうかは、テーブルに物理アドレスがあるかどうかで判断できる。過去に格納したファイルであれば変換テーブルを参照してその物理的位置を把握して変換テーブルを更新し(同じ論理アドレスであっても、書換え寿命を伸ばすために、別の物理アドレスに格納するため、物理アドレスを更新する必要がある)、フラッシュメモリへ消去動作をかけ(4b)、それと同時に更新ファイルの書き込み動作を行う。消去動作はフラッシュメモリ内部で自動的に行われるため、書き込みを行うチップと異なれば並行して同時に処理が行える。新しいファイルの格納であればそのまま書き込み動作に入る。まず格納場所を決定して変換テーブルに物理アドレスと論理アドレスの対応を記録し(4c)、次にDMACにアクセスするアドレスを設定して起動する(4d)。そしてホストからのデータをライトバッファに格納したら書き込み終了であり(4e)、メインルーチンに復帰する。なおフローチャート上の流れの順番は適宜入れ替えることも可能である。また図3、図4にあるDMAC設定、起動後の実際のホストとのデータの授受はDMACが行うことになるためコントローラは待機状態にあることになる。また消去動作を図4の書き込みのルーチン内で行わず、メインルーチンのフラッシュメモリへのデータ書き込み時に行ったり、ファイルを整理するルーチンを別に設定して消去を行うことも考えられる。特にフラッシュメモリの消去単位がファイル管理の単位よりも大きく、一つの消去単位に複数のファイルが存在せざるを得ない場合には、ガーベージコレクションを行うルーチンを設定し、ここで消去動作を行うのが最も効率的となる。

【0024】この図4からの応用として図10を説明すると、ホストからのデータをライトバッファに格納する際に、フラッシュメモリへの転送がまだなされずにライトバッファに残存しているデータの、更新などによる再転送であった場合には先に格納されているデータは不要であるため消去するかあるいは無効化するフラグなどを立て、フラッシュメモリへの転送をすることがないようにする(10a)。

【0025】ところで図2のメインルーチンにおいて別の例を示すと、図2はホストからのアクセス要求をソフトウェア上で受ける例であるが、ハードウェア割込みにより強制的にアクセスルーチンに遷移することも考えられる。この場合はメインルーチンは図5のように単純化し、ソフトウェア的にはアクセスルーチンに遷移する処理はない。この方法ではホストからのアクセス要求に素早く対応できるようになるが、割込みによりアクセスルーチンに遷移したとき、終了してメインルーチンに復帰するときの処理を問題なくするためのソフト処理が多少複雑になる。つまり中断の状態を詳細に記録しなければ、正常な復帰ができないことになる。

【0026】この他にリセット及び電源遮断処理を含んだメインルーチンを図6に示した。これは変換テーブルが揮発性メモリにより構成されている場合に特に重要となる処理であり、変換テーブルのデータが失われるとファイル全体のデータが失われたことと等しくなるため、リセット時や電源遮断時には不揮発性メモリに退避する必要がある。これには専用の書き込み可能な不揮発性メモリを備えても良いが、データ格納用のフラッシュメモリの一部を使用するのが部品点数の削減から有効と思われる。

【0027】なおこの退避処理を避ける方法としてメインルーチンを図7のルーチンとする方法が考えられる。すなわちライトバッファからフラッシュメモリへのデータ転送、格納が終了し、ホストからのコマンド待ち状態になったときに退避を行うようにすることにより、リセットや電源遮断時に特別な処理を行う必要がなくなる。ただしリセットや電源遮断は書き込みや退避の処理中に行うことがないように注意する必要がある。また退避する領域は頻繁に書換えが行われるため、書換え回数に制限がある不揮発性メモリに退避する場合には、寿命を検討する必要がある。先述のようにフラッシュメモリの一部を使用する場合には、退避領域を一個所に特定せずに、移動する方法が良い。この場合には退避領域となった記憶領域の一部に退避領域であることを明らかにするコードを記録するなどにより容易に実現できる。揮発性メモリ上の変換テーブルが電源遮断により失われたときには、全記憶領域から退避領域コードを検索し、退避領域の位置を把握することができる。あるいは最終的な退避領域の物理位置だけを不揮発性メモリの一部に電源遮断時に書き込む方法をとれば時間的無駄が省ける。

【0028】次にフラッシュメモリの劣化によるアクセス性能の低下を避ける実施例について図8により説明する。図8はフラッシュメモリの劣化を把握する手段の実施例であり、図中101はフラッシュメモリ書き込み制御回路、102は書き込み時間測定回路、103は変換テーブル内に設置した劣化度情報テーブル(劣化度記憶手段)であり、フラッシュメモリの消去ブロック毎に対応している。他の既出の番号は先述の説明と同様である。コントローラ4(劣化度診断手段)はフラッシュメモリ1への書き込みを行う際には書き込み制御回路101を起動するとともに、書き込み時間測定回路102も起動し、書き込みにかかった時間を把握する。そしてその時間によりフラッシュメモリの劣化の程度を判断してこれを変換テーブル内の劣化度情報テーブルに書き込む。劣化度は、書き込み時間を例えば、8レベルに分ける。例えば、レベル1は、10から100 μ sの場合、レベル2の場合は、100から1000 μ sの場合とし、レベル8は、許容される書き込み時間を超えた場合、すなわち使用不能状態に陥ったものとする不良セクタの記録も兼ねることができるようになる。

【0029】コントローラ4はこの劣化度をデータ格納時の物理アドレスの決定時に使用する。つまり劣化度が大きいと判断されたブロックには書き込みを極力行わないようにすることにより、劣化による性能低下を避けることができるようになる。この制御を示すフローチャートを図9で説明する。図9は書き込み時間を測定して劣化度を診断するフラッシュメモリへの書き込み動作におけるフローチャートであり、一つの消去ブロックへの書き込みを示している。本ルーチンはホストからライトアクセスがあり、書き込みデータがライトバッファに格納されている状態から実行されるものである。まず劣化度情報テーブルを参照してこれから格納するフラッシュメモリのブロックが、劣化度が進んでいないブロックかを確認する。もし劣化度が進んでいるブロックであれば別のブロックを確認し劣化度が最も進んでいないブロックを探し出す(9a)。こうして、全てのブロックの劣化度が同じレベルになったら任意のブロックを選択するようにする。この結果全てのブロックが均一に劣化することになる。そして探し出した書き込み単位ごとに書き込み時間測定回路を起動し、書き込み時間の測定を開始すると同時に実際のフラッシュメモリへの書き込みを開始する(9b)。そしてメモリの書き込み終了まで待機する(9c)。書き込みが終了したら書き込みに要した時間を書き込み時間測定回路より参照し、その値から劣化度を診断する(9d)。つまりフラッシュメモリには劣化が進むと書き込みに要する時間が長大するという特徴があるためこれを利用するものである。そして劣化度の診断結果が同一ブロック内でこれまでに書き込んだ書き込み単位の中で最も劣化していれば、結果を劣化度情報テーブルに格納する(9e)。というのは劣化度情報は一つの消去ブロックに一つとするため、複数の書き込みにより一つの消去ブロックを構成するフラッシュメモリにおいては各書き込み単位における劣化度を診断し、同一ブロック内の最悪値をそのブロックの劣化度と判断すべきである。つまりビットごとに劣化度は異なると考えられ、1ビットでも劣化すればそのブロック内全域の信頼度が下がることになる。

【0030】ただし制御プログラムの簡略化などを目的としてブロック内の特定の個所の時間だけを測定して全体の劣化度を判断する方法も考えられる。そして所望の全データの書き込みが終了したら書き込みルーチンを終了し、まだデータがあれば9bに戻る(9f)。

【0031】以上の制御をすることによりフラッシュメモリの劣化を全領域にわたって平均化することも可能となる効果がある。なお本実施例では書き込み時間を劣化の評価対象としたが、消去時間を測定してこれを劣化の評価対象としても良い。

【0032】また時間の測定を回路的に行っているが、コントローラのソフトウェアで行えばハードウェアの削減に寄与する。

【0033】

【発明の効果】本発明の効果は、フラッシュメモリの書き込みの遅さが記憶装置としての性能低下にならないことである。フラッシュメモリは読み出しアクセスについてはDRAMと比較して遜色ない速度を持つが、書き込みアクセスは一桁以上の違いがある。しかも消去動作も必要となり、単純にフラッシュメモリに書き込みを行うと記憶装置としての性能低下を招く。そしてこれを解決するために単純なライトバッファを設けても、ライトバッファからフラッシュメモリへの転送が遅くなるため、この時にホストからアクセスがあると結局ホストを待たすことになり性能低下となる。本発明によればライトバッファ内のデータがあふれるまではホストを待たせることなくアクセス要求に対応できるようになる。そしてライトバッファ内のデータがあふれないように、適宜ライトバッファからフラッシュメモリへの転送を行える。

【0034】また電源遮断時に対応する処理手段を持ち、本発明の記憶装置の使用待ち時間が極力少なくなる効果がある。またフラッシュメモリの特徴である劣化による消去時間あるいは書き込み時間の増大を考慮してフラッシュメモリの劣化による使用待ち時間の増大を抑える効果がある。

【図面の簡単な説明】

【図1】本発明に係るフラッシュメモリのブロック図である。

【図2】本発明の実施例における制御プログラムのメインルーチンのフローチャートである。

【図3】本発明の実施例における制御プログラムのアクセスルーチンのフローチャートである。

【図4】既存ファイルの更新を高速化する実施例のフローチャートである。

【図5】ハードウェア割込み対応のメインルーチンのフローチャートである。

【図6】電源遮断対応のメインルーチンのフローチャートである。

【図7】変換テーブルの退避を行う実施例のフローチャートである。

【図8】書き込み時間による劣化診断を行うフラッシュメモリシステムのブロック図である。

【図9】書き込み時間による劣化診断を行う実施例のライトアクセスのフローチャートである。

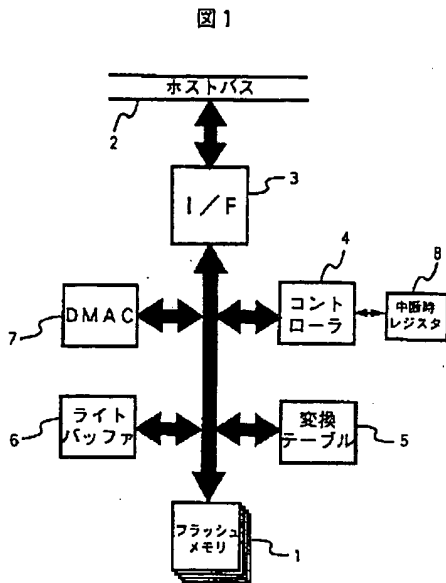
【図10】未転送ファイル更新の際の処理を示すフローチャートである。

【図11】変換テーブルの説明図である。

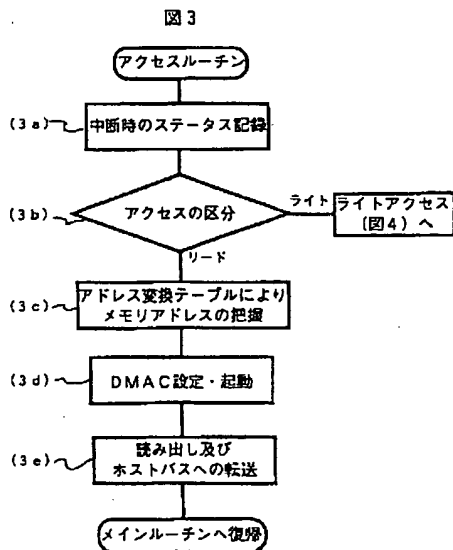
【符号の説明】

1…フラッシュメモリ、4…コントローラ、5…変換テーブル、6…ライトバッファ、7…DMAC、8…中断時レジスタ、101…書き込み制御回路、102…書き込み時間測定回路、103…劣化度情報テーブル

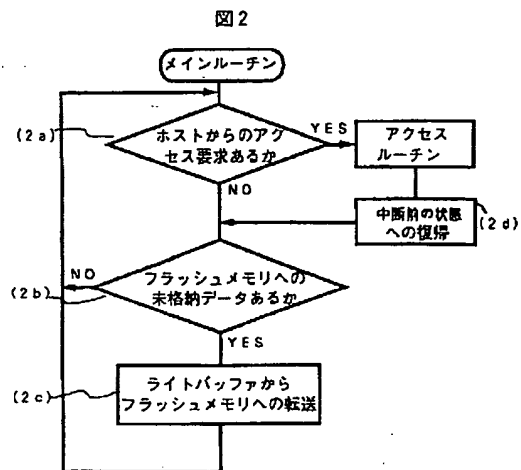
【図1】



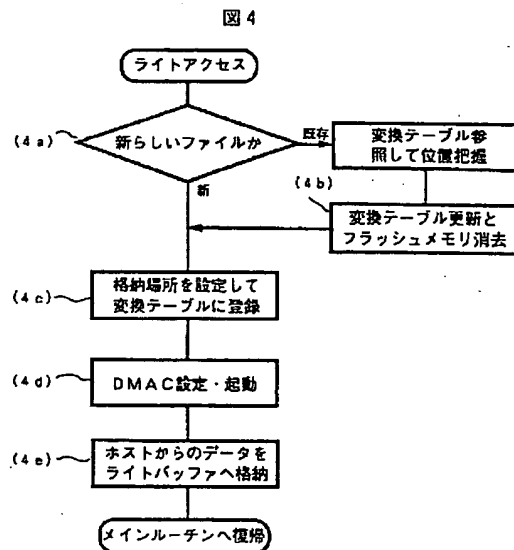
【図3】



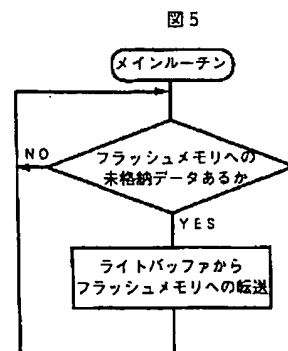
【図2】



【図4】

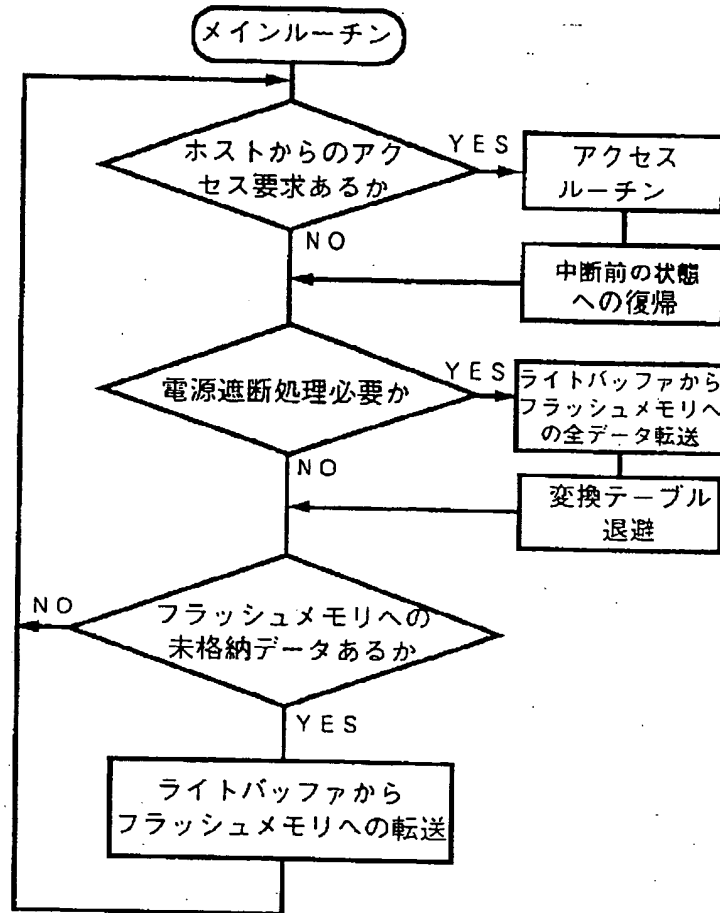


【図5】



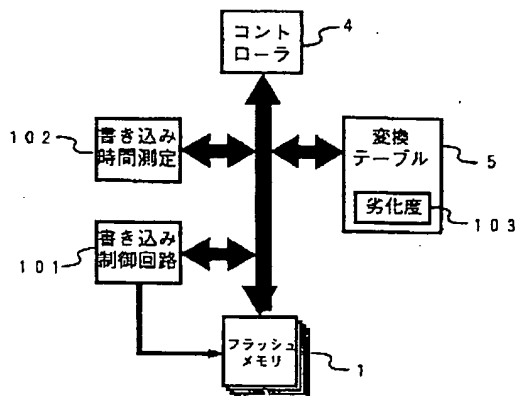
【図6】

図 6



【図8】

図 8



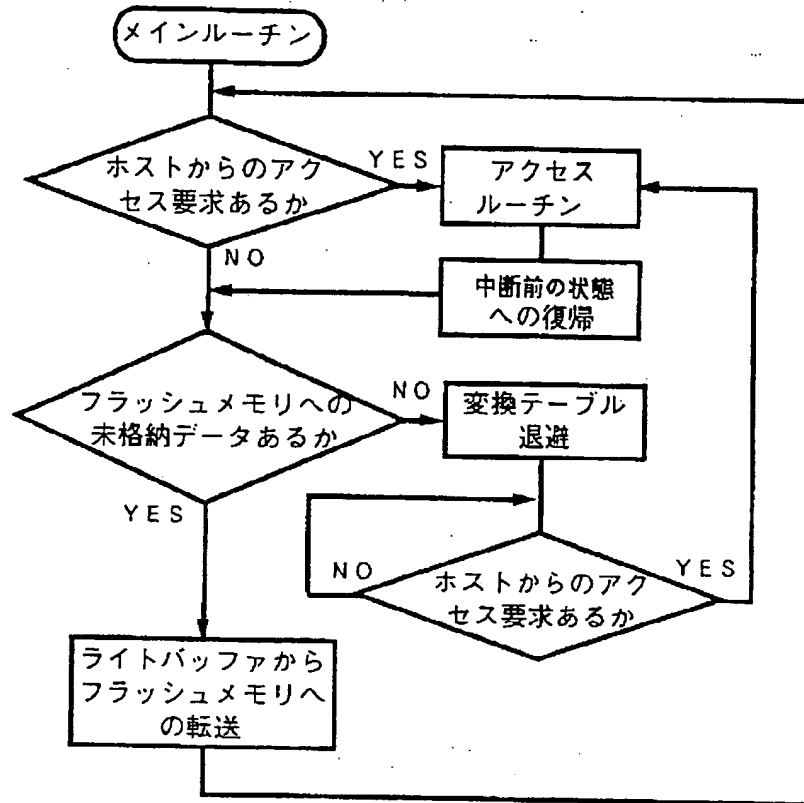
【図11】

変換テーブル (図11)

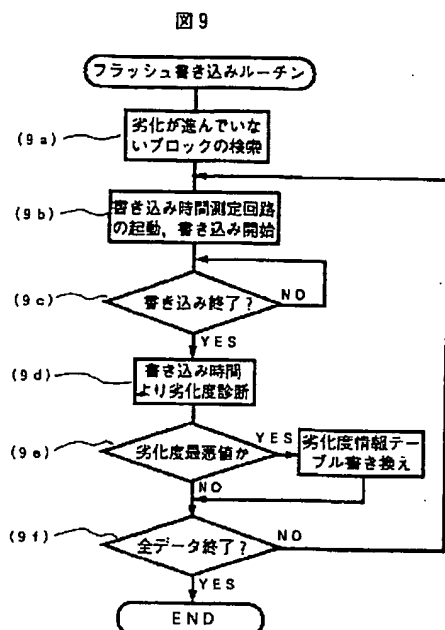
論理 アドレス	ライトバッファ メモリ	フラッシュメモリ (物理セクタ番号)		フラグ
	ブロック番号	チップ番号	セクタ番号	
0	1	0	3	1
1	2	1	2	1
2	3	2	7	1
3	0	0	0	0
...

【図7】

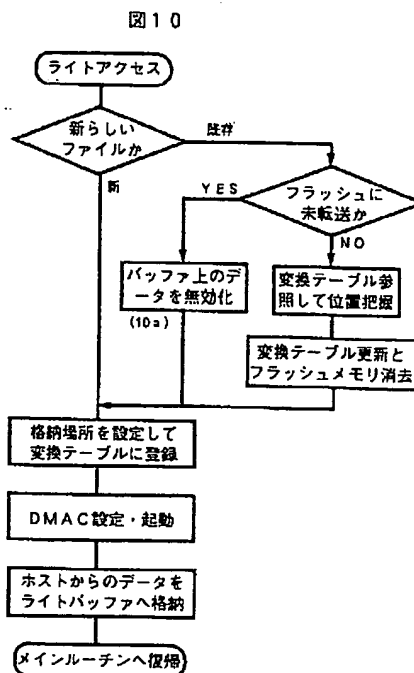
図7



【図 9】



【図 10】



フロントページの続き

(72)発明者 高谷 佳夫
千葉県習志野市東習志野七丁目 1 番 1 号
日立京葉エンジニアリング株式会社内
(72)発明者 齊藤 学
千葉県習志野市東習志野七丁目 1 番 1 号
日立京葉エンジニアリング株式会社内

(72)発明者 柿 健一
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内
(72)発明者 戸塚 隆
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内